

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-025964

(43) Date of publication of application : 25.01.2002

(51) Int.CI.

H01L 21/304  
H01L 21/28  
H01L 21/3213  
H01L 21/3205  
H01L 29/43  
H01L 29/78

(21) Application number : 2000-  
206828

(71) Applicant : HITACHI LTD

(22) Date of filing :

04.07.2000

(72) Inventor :

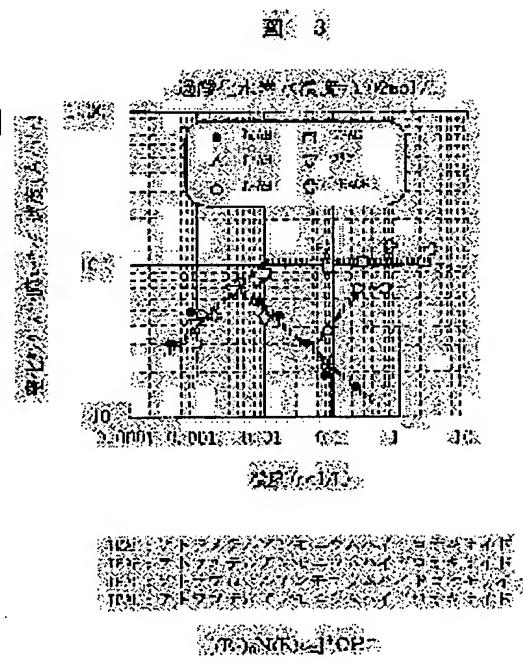
HARA KOJI  
TAKAHARA YOICHI  
SAEKI TOMONORI  
TOMIOKA HIDEKI  
ITO MASAKI  
TSUGANE MASARU  
ITO HARUO  
FUNAHASHI TOMOMASA

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To protect electrodes or wirings formed of high-melting metal nitride against etching at cleaning after the electrodes or wirings are formed in the manufacture of a semiconductor device provided with the electrodes or wirings formed of high-melting metal nitride.

**SOLUTION:** A semiconductor device manufacturing method comprises a first process of forming conductor films that contain high-melting point nitride films on a semiconductor substrate, a second process of patterning the conductor films into required forms, and a third process of cleaning the patterned conductor films. A cleaning solution used in the third process of cleaning the patterned conductor films is a mixed solution of quaternary ammonium hydroxide



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-25964  
(P2002-25964A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.<sup>7</sup>  
 H 01 L 21/304  
 21/28  
 3 0 1  
 21/3213  
 21/3205

識別記号  
6 4 7  
21/88

F I  
H 01 L 21/304  
21/28  
3 0 1 A  
21/88

テマコード\*(参考)  
6 4 7 A 4 M 1 0 4  
F 5 F 0 3 3  
3 0 1 A 5 F 0 4 0  
D  
Q

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-206828(P2000-206828)

(22)出願日 平成12年7月4日 (2000.7.4)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地(72)発明者 原 浩二  
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内(72)発明者 高原 洋一  
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内(74)代理人 100075096  
弁理士 作田 康夫

最終頁に続く

## (54)【発明の名称】 半導体装置製造方法

## (57)【要約】

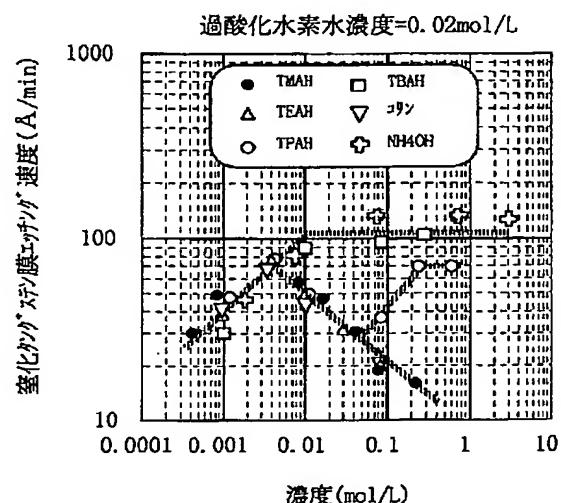
【課題】電極もしくは配線に高融点金属窒化物を用いる半導体装置の製造において、電極もしくは配線形成後の洗浄時に、高融点金属窒化物のエッチングを防止する。

【解決手段】半導体基板上に、高融点金属窒化膜を含む複数層の導体膜を形成する工程と、前記導体膜を所望の形状にパターニングする加工工程と、加工された前記導体膜を洗浄する工程とを有し、前記洗浄工程で使用する洗浄液として、少なくとも一般式

## 【化3】

$[(R^1)_nN(R^2)_{4-n}]^+OH^-$   
( $R^1$ は炭素数1~2のアルキル基、 $R^2$ は炭素数1~2のアルキル基または炭素数1~2のヒドロキシ置換アルキル基を表し、 $R^1$ 、 $R^2$ はそれぞれ同一であっても異なっていても良い。nは1~3の整数。)で表される第4級アソニウム水酸化物および過酸化水素水および純水を含有する混合液で洗浄を行う。

図 3

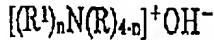


TMAH: テトラメチルアンモニウムハイドロオキサイド  
TEAH: テトラエチルアンモニウムハイドロオキサイド  
TPAH: テトラプロピルアンモニウムハイドロオキサイド  
TBAH: テトラブチルアンモニウムハイドロオキサイド

## 【特許請求の範囲】

【請求項1】 半導体基板上に、高融点金属窒化膜を含む複数層の導体膜を形成する工程と、前記導体膜を所望の形状にパターニングする加工工程と、加工された前記導体膜を洗浄する工程とを有し、前記洗浄工程で使用する洗浄液として、少なくとも、一般式

### 【化1】



( $R^1$  は炭素数1～2のアルキル基、 $R^1$  は炭素数1～2のアルキル基または炭素数1～2のヒドロキシ置換アルキル基を表し、 $R^1$ 、 $R^1$  はそれぞれ同一であっても異なっていても良い。 $n$  は1～3の整数。) で表される第4級アンモニウム水酸化物および過酸化水素水および純水を含有する混合液で洗浄を行う事を特徴とする半導体装置製造方法。

【請求項2】 前記高融点金属窒化膜として窒化タンゲステン、または窒化チタン、または窒化タンタルを用いることを特徴とする請求項1記載の半導体装置製造方法。

【請求項3】 前記洗浄液は、第4級アンモニウム水酸化物濃度が0.05～0.3mol/L、過酸化水素水濃度が0.1mol/L以下であることを特徴とする請求項1～2記載の半導体装置製造方法。

【請求項4】 前記第4級アンモニウム水酸化物としてテトラメチルアンモニウムハイドロオキサイドを用いることを特徴とする請求項1～3記載の半導体装置製造方法。

【請求項5】 請求項1～4に記載の半導体装置の製造方法において、前記半導体装置は、電解効果型トランジスタであり、前記成膜工程は、前記導体膜として、多結晶シリコン膜、窒化タンゲステン膜、タンゲステン膜、もしくは多結晶シリコン膜、窒化チタン膜、タンゲステン膜の3層を積層する工程であり、前記加工工程は、前記導体膜をゲート電極の形状に加工する工程であることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係わり、電極もしくは配線に高融点金属窒化物を用いる半導体装置の製造方法に関する。

### 【0002】

【従来の技術】 集積回路を構成するMOSFET (Metal Oxide Semiconductor Field Effect Transistor : MOS型電解効果トランジスタ) のゲート電極は、一般的には多結晶シリコンにより構成されていた。しかし、LSIの高集積化によってゲート電極のゲート長が短くなるのに伴い、ゲート電極の配線抵抗が増大し、これによる信号伝搬速度の遅延が問題になっている。そのため、多結晶シリコンよりも低抵抗な材料である $WSi_2$ 、 $TiSi_2$ 、 $MoSi_2$ 等の高融点金属とシリコンの合金（シリサイド）を用い、この

シリサイド層と多結晶シリコン層を重ねて、2層構造のゲート電極にすることが提案されている。

【0003】 多結晶シリコンと珪化タンゲステンの2層構造を有するゲート電極の製造方法の一例を図1 (a)～(c) を参照して説明する。

【0004】 まず、シリコン基板11上に素子分離のためのフィールド酸化膜13、p型ウエル層12を形成する。次にゲート酸化膜14を熱酸化法によって形成する（図1 (a)）。

【0005】 その後、この上に多結晶シリコン膜15、珪化タンゲステン膜16、酸化膜17、窒化シリコン膜18を化学的気相堆積法（以下CVD法と記述）により成膜する（図1 (b)）。

【0006】 次に、通常のホトリソグラフィ法によりパターニングを行い、ドライエッチングにより多結晶シリコン膜15、珪化タンゲステン膜16、酸化膜17および窒化シリコン膜18の計4層をゲート電極の形状に加工する（図1 (c)）。

【0007】 ゲート電極形成後、一般的に用いられている洗浄液、例えば、アンモニア水と過酸化水素水と超純水の混合溶液で洗浄を行う。これは前記ドライエッチング時に、ホトレジストおよびドライエッチングに使用されたガスおよびゲート電極を構成している材料が反応して、ゲート電極の側壁に生成する化合物やドライエッチング時に発生したパーティクルを除去するためである。

【0008】 しかし、LSIの高集積化がさらに進むと、上記2層構造のゲート電極よりもさらに低抵抗なゲート電極が必要であり、そのような要求を満たすゲート電極材料としてタンゲステンが注目されている。その一例として、K. Kasaiらは「W/WNx/Poly-Si Gate Technology for Future High Speed Deep Submicron CMOS LSI」、1994インターナショナル・エレクトロン・デバイス・カンファレンス (International Electron Device Conference) において、多結晶シリコン層と窒化タンゲステン層とタンゲステン層の3層構造を有するMOSFETを提案している。この構造において、窒化タンゲステン層は、多結晶シリコン層とタンゲステン層とが反応して抵抗の高いシリサイド層を形成するのを防止するために配置されている。なお、窒化タンゲステン層は反応性スパッタリング法により堆積されている。

### 【0009】

【発明が解決しようとする課題】 しかしながら、発明者らの研究によると、上述の多結晶シリコン層と窒化タンゲステン層とタンゲステン層の3層構造のゲート電極を有するMOSFETを製造する場合、ゲート電極形成後の洗浄において、窒化タンゲステン層の洗浄液に対する耐性が問題になることがわかった。すなわち、一般的に知られた方法で、この3層構造のゲート電極を有するMOSFETを製造する場合、窒化タンゲステン層が洗浄液に溶解して消失してしまう可能性がある。これをさらに図2 (a)～

(c) を用いて説明する。一般的に知られた方法で、この3層構造のゲート電極を有するMOSFETを製造する場合、まず、シリコン基板21上に素子分離のためのフィールド酸化膜23、p型ウエル層22を形成する。次にゲート酸化膜24を熱酸化法によって形成した後、この上に多結晶シリコン膜25を化学的気相堆積法（以下CVD法と記述）により堆積させる（図2(a)）。

【0010】この多結晶シリコン膜25の上に窒化タンゲステン膜26、タンゲステン膜27をスパッタ法により成膜する。この後タンゲステン膜27上にプラズマCVD法により窒化シリコン膜28を成膜する（図2(b)）。

【0011】次に、通常のホトリソグラフィ法によりパターニングを行い、ドライエッティングにより多結晶シリコン膜25、窒化タンゲステン膜26、タンゲステン膜27および窒化シリコン膜28の計4層をゲート電極の形状に加工する（図2(c)）。ドライエッティング中には、エッティング用のガスとレジストあるいはゲート電極を構成している3層の材料が反応して化合物を生成し、この化合物がゲート電極の側壁に付着する。そのため、ドライエッティング終了後に、図2(c)の基板の洗浄を行い、ゲート電極の側壁に付着している生成物膜を除去する。

【0012】その後、p型ウエル層22中にソース領域およびドレイン領域を形成し、ソース電極、ドレイン電極、絶縁層等を形成してMOSFETを完成させる。

【0013】発明者らの評価によると、上述の洗浄工程において、半導体製造プロセスで一般的に用いられている洗浄液、例えば、アンモニア水と過酸化水素水と超純水の混合溶液、塩酸と過酸化水素水と超純水の混合溶液、あるいはフッ化水素酸と過酸化水素水と超純水との混合溶液を用いた場合、窒化タンゲステン膜26は、上記洗浄液に容易に溶解してしまうことがわかった。そのため、洗浄工程において、窒化タンゲステン膜26が、ゲート電極の側面からエッティングされたり、最悪の場合には、窒化タンゲステン膜26より上層が消失する場合があり、デバイス特性の劣化を招くという問題点がある。

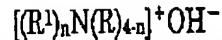
【0014】本発明は、上記問題に鑑みてなされたものであり、電極もしくは配線に高融点金属窒化物を用いる半導体装置の製造方法であって、電極もしくは配線形成後の洗浄時に、高融点金属窒化物のエッティングが抑制可能な半導体装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】前記目的を達成するためには本発明は、半導体基板上に、高融点金属窒化膜を含む複数層の導体膜を形成する工程と、前記導体膜を所望の形状にパターニングする加工工程と、加工された前記導体膜を洗浄する工程とを有し、前記洗浄工程で使用する洗浄液として、少なくとも一般式

【0016】

【化2】



【0017】(R<sup>1</sup>は炭素数1～2のアルキル基、R<sup>2</sup>は炭素数1～2のアルキル基または炭素数1～2のヒドロキシ置換アルキル基を表し、R<sup>1</sup>、R<sup>2</sup>はそれぞれ同一であっても異なっていても良い。nは1～3の整数。)で表される第4級アンモニウム水酸化物および過酸化水素水および純水を含有する混合液で洗浄を行う事により、洗浄時の高融点金属窒化膜のエッティングを防止するようにしたものである。ここで高融点金属窒化膜とは、窒化チタン、窒化タンゲステン、窒化タンタルなどが挙げられる。

【0018】本発明の半導体装置の洗浄液に使用される第4級アンモニウム水酸化物としては、テトラメチルアンモニウムハイドロオキサイド、テトラエチルアンモニウムハイドロオキサイド、トリメチルエチルアンモニウムハイドロオキサイド、ジメチルジエチルアンモニウムハイドロオキサイド、トリエチルメチルアンモニウムハイドロオキサイド、トリメチル(2-ヒドロキシエチル)アンモニウムハイドロオキサイド等が挙げられる。

【0019】これら第4級アンモニウム水酸化物のなかでは、R<sup>1</sup>およびR<sup>2</sup>の炭素数が小さい方が好ましく、特にテトラメチルアンモニウムハイドロオキサイド（以下TM AHと記述）が好適である。

【0020】本発明の半導体装置の洗浄液である第4級アンモニウム水酸化物および過酸化水素水および超純水の混合液としては、第4級アンモニウム水酸化物濃度は全溶液中0.05～0.3mol/L、過酸化水素水濃度は全溶液中0.1mol/L以下にすることが望ましい。その理由として、第4級アンモニウム水酸化物濃度が低すぎる場合には、高融点金属窒化膜のエッティング速度は抑制されるが、目的の洗浄効果が得られないからである。一方第4級アンモニウム水酸化物濃度が高い場合には、高融点金属窒化膜はほとんどエッティングされないが、シリコンや多結晶シリコンの面あれが発生し、洗浄効果が損なわれるためである。また、過酸化水素水は前述したシリコンや多結晶シリコンの面あれを防止するために必要であるが、過酸化水素水濃度が高い場合には、高融点金属窒化膜のエッティング速度が速く、高融点金属窒化膜が消失する懼れがあるからである。

【0021】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。

【0022】(第1の実施形態)第4級アンモニウム水酸化物と過酸化水素水および超純水混合液の窒化タンゲステン膜に対するエッティング速度の結果を図3に示す。なお、前記混合液中の過酸化水素水濃度は0.02mol/Lで一定とし、窒化タンゲステン膜のエッティング量は、触針式段差計(検出下限50Å)で測定した。

【0023】第4級アンモニウム水酸化物濃度が0.004

mol/L以下の領域では、窒化タンクスチタン膜のエッティング速度は、第4級アンモニウム水酸化物の種類に関わらず、濃度の増加に伴い速くなる。しかし、第4級アンモニウム水酸化物濃度が0.004mol/Lより濃い領域では、窒化タンクスチタン膜のエッティングに対する挙動は第4級アンモニウム水酸化物の種類により異なっている。

【0024】第4級アンモニウムイオンの窒素原子に結合している官能基の炭素数が2以下の場合、すなわち、テトラメチルアンモニウムハイドロオキサイド、テトラエチルアンモニウムハイドロオキサイド、およびコリンなどでは、第4級アンモニウム水酸化物濃度の増加に伴い窒化タンクスチタン膜のエッティング速度は遅くなる。また、第4級アンモニウムイオンの窒素原子に結合している官能基の炭素数が3である、テトラプロピルアンモニウムハイドロオキサイドでは、0.004~0.05mol/Lの濃度領域では、前記の炭素数が2以下の3つの物質と同様の挙動を示すが、0.05mol/L以上では再びエッティング速度が増加する。第4級アンモニウムイオンの窒素原子に結合している官能基の炭素数が4である、テトラブチルアンモニウムハイドロオキサイドは、0.004~0.01mol/Lでは、テトラブチルアンモニウムハイドロオキサイドの濃度と伴にエッティング速度も増加するが、0.01mol/L以上ではエッティング速度は一定になる。

【0025】窒化タンクスチタン膜に対するエッティング挙動が、第4級アンモニウム水酸化物の種類あるいは濃度によって異なる原因については現在の所不明であるが、特定の濃度領域で窒化タンクスチタン膜のエッティングが抑制されているのは、第4級アンモニウムイオンが窒化タンクスチタン表面に吸着してエッティングを阻害しているためだと推測される。また、特定の大きさ以上の第4級アンモニウムイオンでは、窒化タンクスチタン表面の吸着密度が小さくなるために、エッティングが十分に抑制されなくなると思われる。

【0026】洗浄時間5分、0.2μm幅の電極または配線に対するエッティングの影響を想定した場合、窒化タンクスチタン

スチタン膜のエッティング速度は20Å/min以下であることが望ましいと考えられる。そのため、前述の条件を満足する第4級アンモニウム水酸化物(TMAH、テトラエチルアンモニウムハイドロオキサイド、コリンなど)濃度は、少なくとも0.05mol/L以上必要である。また、コスト面も考慮すると、前記第4級アンモニウム水酸化物は0.05~0.3mol/Lの濃度領域で使用することが好ましい。

【0027】(第2の実施形態)本発明の洗浄液および従来洗浄液のSiパーティクル除去力の評価結果について説明する。

【0028】本発明の洗浄液の一例として、半導体工業用テトラメチルアンモニウムハイドロオキサイド(以下TMAHと記述)、過酸化水素水、超純水の混合液(全溶液中のTMAHおよび過酸化水素水の濃度は各々、0.1mol/L、0.02mol/L)、また、従来洗浄液としてアンモニア水、過酸化水素水、超純水の混合液(全溶液中のアンモニア濃度、過酸化水素水濃度はそれぞれ0.8、0.02mol/L)を用いた。また、評価用のSiパーティクル付着ウエハは、Siパーティクルを分散させた0.5wt%HF液中に、6インチ自然酸化膜付きウエハを10分間浸漬して作製した。

【0029】洗浄の評価はSiパーティクル付着ウエハを40°Cの洗浄液に5分間浸漬洗浄後、超純水で10分間オーバーフローリンスして乾燥させ、洗浄前後の0.2μm以上のパーティクル数を異物検査装置で測定し、パーティクル除去率を算出して比較した。

【0030】その結果、表1に示すように、Siパーティクルの除去率は、本発明の洗浄液であるTMAH、過酸化水素水、超純水の混合溶液の方が、従来洗浄液のアンモニア水、過酸化水素水、超純水の混合溶液より高く、従来洗浄液よりパーティクル除去力が優れていることが明らかとなった。

【0031】

【表1】

表 1

Siパーティクル除去力評価結果

洗浄液	TMAH、過酸化水素水、超純水混合液	アンモニア水、過酸化水素水、超純水混合液
除去率(%)	92	50

【0032】(第3の実施形態)本実施の形態では、ゲート電極として、窒化タンクスチタンを含む3層膜を用いるMOS型電解効果トランジスタ(MOSFET)の製造方法について説明する。

【0033】まず、図2(a)の様にシリコン基板21上に素子分離のためのフィールド酸化膜23を公知の方法

により形成した後、p型ウエル層22を形成する。さらに、フィールド酸化膜23の間のシリコン基板21の表面を熱酸化することにより、膜厚が10nm程度のシリコン酸化膜を形成する。このシリコン酸化膜をゲート酸化膜24と呼ぶ。次に、ゲート酸化膜24上にリンをドープした多結晶シリコン膜25を化学的気相堆積法(CVD)

により100nm程度堆積させる(図2(a))。

【0034】次に、多結晶シリコン膜25上にスパッタ法により、窒化タンゲステン膜26およびタンゲステン膜27をそれぞれ10nm、100nmの膜厚で順に成膜する。このスパッタの際のターゲットとしては、窒化タンゲステン膜26およびタンゲステン膜27ともタンゲステンを用いる。そして、窒化タンゲステン膜26の成膜時には、プラズマ中に窒素ガスを導入し、タンゲステンを窒化して堆積させる。次にタンゲステン膜27上にプラズマCVD法により、400°C程度の低温で窒化シリコン膜28を200nmの膜厚で成膜する(図2(b))。

【0035】次に、通常のホトリソグラフィ法によりパターニングを行い、ドライエッティングにより多結晶シリコン膜25、窒化タンゲステン膜26、タンゲステン膜27および窒化シリコン膜28の計4層をゲート電極の形状に加工する(図2(c))。これらの4層のうち、多結晶シリコン膜25、窒化タンゲステン膜26、タンゲステン膜27の3層がゲート電極29として機能する。なお、ドライエッティングの際に、エッティング用のガスとレジストあるいはゲート電極を構成している3層の材料とが反応して化合物を生成し、この化合物がゲート電極の壁に付着するため、ドライエッティング終了後に、図2(c)の基板の洗浄を行い、ゲート電極の側壁に付着している生成物の膜、およびドライエッティング中に発生したパーティクル等を除去する。洗浄は、電子工業用22wt%テトラメチルアンモニウムハイドロオキサイド(TMAH)、および電子工業用30wt%過酸化水素水および超純水の混合溶液を使用した。全溶液中のTMAHおよび過酸化水素水の濃度は各々、0.1mol/L、0.02mol/Lとし、40°Cに加温した前記溶液中に、図2(c)に示したゲート電極をパターニングしたウエハを5分間浸漬して洗浄した。洗浄後、超純水中で10分間オーバーフローリンスを行い乾燥させた。

【0036】その後、図4(d)の様に、p型ウエル層22中に、n(+)型ソース領域30とn(+)型ドレイン領域31とを形成するとともに、多結晶シリコン膜25、窒化タンゲステン膜26、タンゲステン膜27および窒化シリコン膜28の4層の側面を窒化シリコン膜32で被覆する。そしてさらに、全面を絶縁膜33で覆った後、n(+)型ソース領域30とn(+)型ドレイン領域31にそれぞれ達するソース電極34およびドレイン電極35を形成し、MOSFETを完成させる(図4(e))。

【0037】確認のため、洗浄工程後のゲート電極29の断面をSEM(走査型電子顕微鏡)で観察した結果、多結晶シリコン膜25、窒化タンゲステン膜26、およびタンゲステン膜27の側壁はほとんどエッティングされておらず、ゲート電極29の形状に問題はなかった。

【0038】また、比較のために、上記洗浄工程の洗浄液として、TMAH、過酸化水素水、超純水の混合溶液の代わりに、アンモニア水および過酸化水素水および超純水

の混合溶液を使用して同様の評価を行った。なお全溶液中のアンモニア濃度、過酸化水素水濃度はそれぞれ0.8、0.02mol/Lとし、40°Cで5分間洗浄した。洗浄後のゲート電極29の断面をSEMで観察した結果、窒化タンゲステン膜26が洗浄液により完全にエッティングされており、窒化タンゲステン膜26、およびタンゲステン膜27、および窒化シリコン膜28の3層は、消失していた。

【0039】(第4の実施形態)本実施の形態では、窒化チタンを含む配線の製造方法について説明する。

【0040】まず、MOS型半導体素子(図示せず)が形成されたSi基板11上に、CVD酸化珪素膜51を形成した後、CVD酸化珪素膜51の上に厚さ500Åの窒化チタン膜52、厚さ1500Åのスパッタタンゲステン膜53、厚さ1500ÅのCVDタンゲステン膜54および反射防止膜として厚さ500Åの窒化チタン膜55を形成する(図5(a))。

【0041】次に、窒化チタン膜55上に厚さ1μmのポジ型レジスト層56を設けた後、通常のホトリソグラフィ法によりパターニングを行った(図5(b))。

【0042】次に、レジストパターンをマスクとして、窒化チタン膜55、タンゲステン膜53、54、窒化チタン膜52をドライエッティングにより加工し、金属配線を形成した(図5(c))。なお、配線の側壁にはドライエッティング時にレジストおよびドライエッティングガスおよび配線材料が反応して堆積物57が生成する。

【0043】次に、ドライエッティング後のレジストパターンを、酸素ガスを用いたプラズマにより灰化処理して除去した(図5(d))。

【0044】次に、本発明の洗浄液であるTMAH、過酸化水素水、超純水の混合液(40°C、全溶液中のTMAH濃度および過酸化水素濃度はそれぞれ0.1mol/L、0.02mol/L)で10分間洗浄した。その結果、配線加工後の側壁に生成した堆積物57は除去され、なおかつ、配線のエッティングも見られなかった(図5(e))。比較のため、上記洗浄液の代わりにアンモニア水、過酸化水素水、超純水の混合液で洗浄を行ったところ、配線の側壁堆積物57の除去が不十分であったり、窒化タンゲステン膜52、55やタンゲステン膜53、54が消失している箇所が見られた。

【0045】

【発明の効果】以上説明した様に、本発明によれば、窒化タンゲステン、窒化チタン等の高融点金属窒化物を、電極もしくは配線の構成材料の一つに用いた半導体装置の製造において、電極または配線形成後に、第4級アンモニウム水酸化物および過酸化水素水および超純水の混合液で洗浄することにより、高融点金属窒化膜をエッティングすることなく、電極もしくは配線形成時に生成した堆積物およびパーティクルを除去する事が可能となるため、素子特性が安定で、信頼性の高い半導体装置を提供

することが出来る。

【図面の簡単な説明】

【図1】(a)～(c)は従来の一般的な方法によって、珪化タングステン膜16および多結晶シリコン膜15の2層構造のゲート電極を備えたMOSFETを形成する手順を示す断面図。

【図2】(a)～(c)はタングステン膜27、窒化タングステン膜26および多結晶シリコン膜25の3層構造のゲート電極を備えたMOSFETを形成する手順を示す断面図。

【図3】過酸化水素水濃度を一定にして、第4級アンモニウム水酸化物濃度を変化させた場合の窒化タングステン膜のエッティング速度を表す図。

【図4】(d)、(e)はタングステン膜27、窒化タングステン膜26および多結晶シリコン膜25の3層構造のゲート電極を備えたMOSFETを形成する手順を示す断面図。

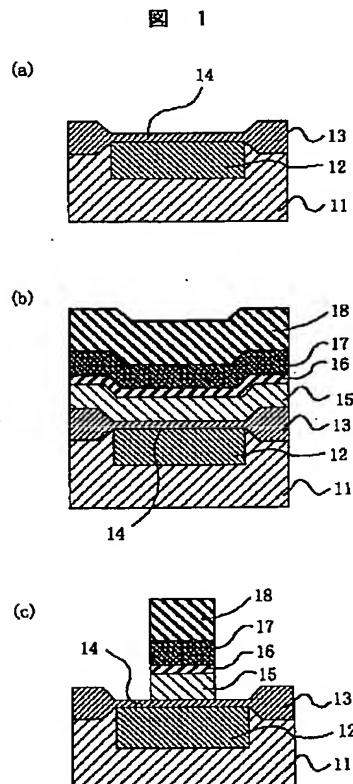
【図5】窒化チタン膜52、タングステン膜53、54

窒化チタン膜52の3層構造からなる配線を形成する手順を示す断面図。

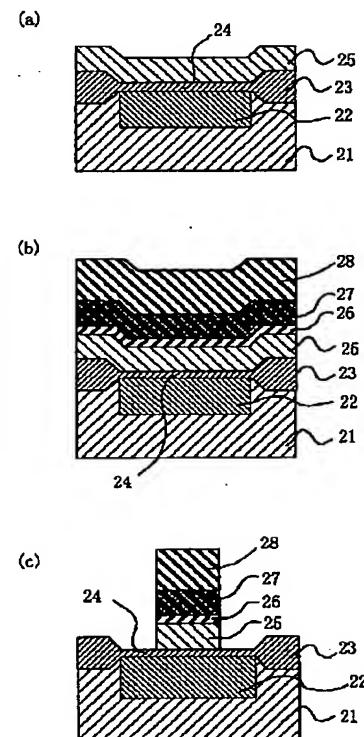
【符号の説明】

1 1…シリコン基板、1 2…p型ウエル層、1 3…フィールド酸化膜、1 4…ゲート酸化膜、1 5…多結晶シリコン膜、1 6…珪化タングステン膜、2 1…シリコン基板、2 2…p型ウエル層、2 3…フィールド酸化膜、2 4…ゲート酸化膜、2 5…多結晶シリコン膜、2 6…窒化タングステン膜、2 7…タングステン膜、2 8…窒化シリコン膜、2 9…ゲート電極、3 0…n(+)型ソース領域、3 1…n(+)型ドレイン領域、3 2…窒化シリコン膜、3 3…絶縁膜、3 4…ソース電極、3 5…ドレイン電極、5 1…酸化珪素膜、5 2…窒化チタン膜、5 3…スパッタタングステン膜、5 4…CVDタングステン膜、5 5…窒化チタン膜、5 6…ポジ型レジスト、5 7…側壁堆積物。

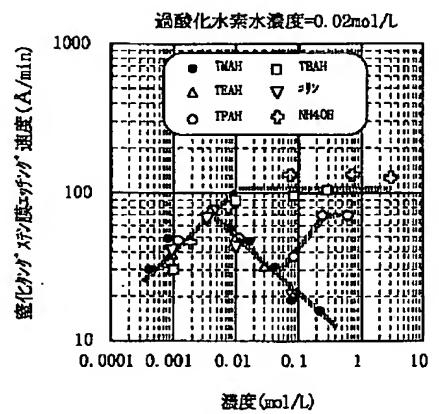
【図1】



【図2】



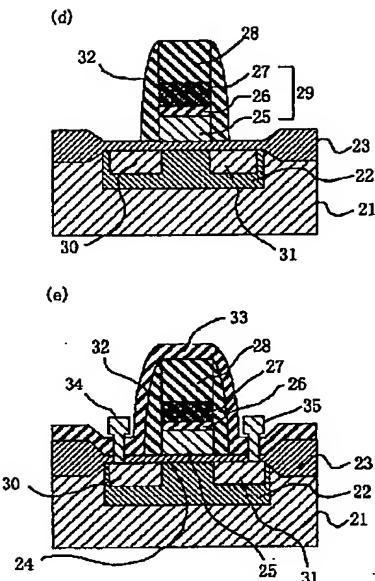
【図3】



TMAB: テトラメチルアンモニウムハイドロオキサイド  
TEAB: テトラエチルアンモニウムハイドロオキサイド  
TPAB: テトラプロピルアンモニウムハイドロオキサイド  
TEAH: テトラブチルアンモニウムハイドロオキサイド

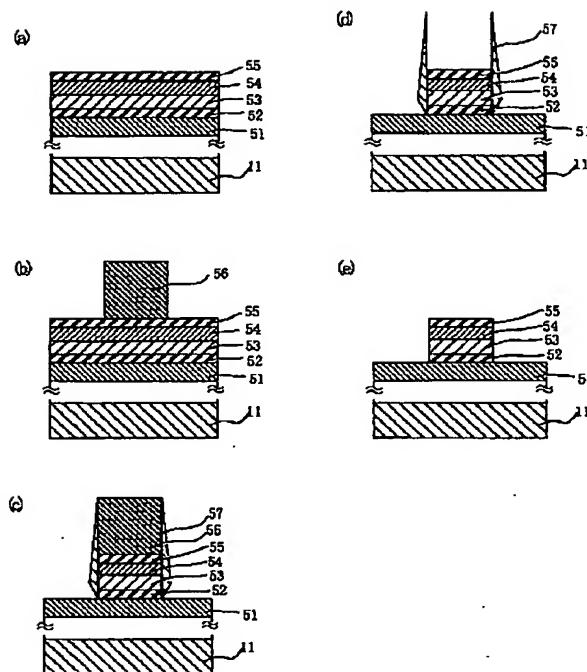
【図 4】

図 4



【図 5】

図 5



## フロントページの続き

(51) Int. Cl. <sup>7</sup>  
テーマコード (参考)

H 0 1 L 29/43

識別記号

29/78

(72) 発明者 佐伯 智則

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72) 発明者 富岡 秀起

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 伊藤 雅樹

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 津金 賢

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

F I

H 0 1 L 29/62

G

29/78 (72) 発明者 伊藤 晴夫

3 0 1 G

山口県下松市大字東豊井794番地 株式会社日立製作所笠戸事業所内

(72) 発明者 舟橋 優正

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

F ターム (参考) 4M104 BB01 BB40 CC05 DD37 DD42

DD65 FF13

5F033 HH04 HH19 HH33 HH34 MM08

QQ08 QQ10 QQ11 QQ19 QQ91

VV06 WW04 XX00 XX21

5F040 DA01 DC01 EC02 EC04 EC07

EK01 FA07 FA18 FC00 FC21